

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-188555

(43) 公開日 平成10年(1998)7月21日

(51) Int.Cl.⁶ 識別記号
G 1 1 C 11/407
7/00 3 1 2
11/413

F I
G 1 1 C 11/34 3 5 4 C
7/00 3 1 2 Z
11/34 J

審査請求 未請求 請求項の数12 O.L. (全 12 頁)

(21)出願番号 特願平8-337204

(22)出願日 平成8年(1996)12月17日

(71)出願人 000005223

富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 山口 秀笛

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 宏彦

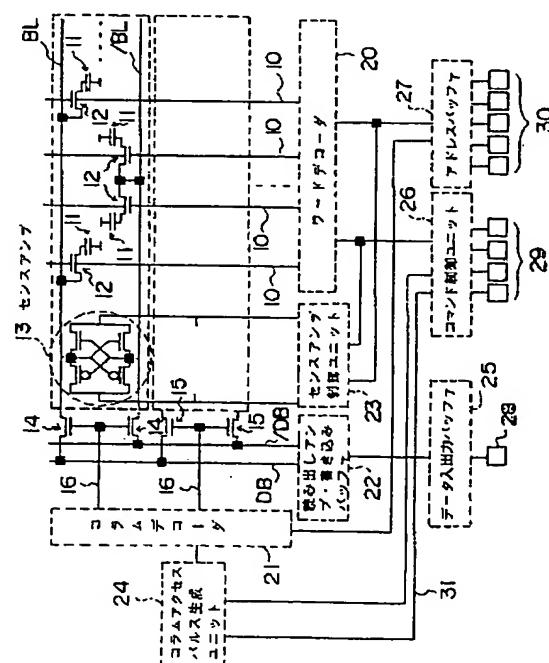
(54) 【発明の名称】 半導体記憶装置とデータ読み出し及び書き込み方法

(57) 【要約】

【課題】本発明は、半導体記憶装置に於て、データ読み出し動作期間の長さ及びデータ書き込み動作期間の長さに対する相反する要求を解消し、高い周波数での高速な動作を可能にすることを目的とする。

【解決手段】半導体記憶装置は、データ書き込み時及びデータ読み出し時に導通してデータを通過させるゲートと、ゲートの導通期間をデータ書き込み時及びデータ読み出し時で変化させる制御手段を含むことを特徴とする。

本発明によるP-B-AMの実施例を示す図



【特許請求の範囲】

【請求項1】データ書き込み時及びデータ読み出し時に導通してデータを通過させるゲートと、該ゲートの導通期間をデータ書き込み時及びデータ読み出し時で変化させる制御手段を含むことを特徴とする半導体記憶装置。

【請求項2】複数のメモリセルに対するデータ読み出し及びデータ書き込みを行う複数のセンスアンプを更に含み、前記ゲートはコラムゲートトランジスタであって、該ゲートを選択的に導通させることによって該複数のセンスアンプから少なくとも一つのセンスアンプを選択し、該少なくとも一つのセンスアンプと外部との間のデータ読み出し及びデータ書き込みを該ゲートを介して行うことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記制御手段は、前記コラムゲートトランジスタのゲート入力に供給するパルス信号を生成し、データ書き込み時及びデータ読み出し時で該パルス信号のパルス幅を変化させるパルス生成手段を含むことを特徴とする請求項2記載の半導体記憶装置。

【請求項4】前記パルス生成手段は、データ書き込み時の前記パルス幅を、データ読み出し時の該パルス幅よりも短くすることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】前記ゲートを介して前記センスアンプに接続されたデータバスを更に含み、前記パルス信号が前記ゲートを導通させる期間以外の期間に前記データバスに対するプリチャージ動作及びイコライズ動作を行うことを特徴とする請求項3記載の半導体記憶装置。

【請求項6】前記パルス生成手段は、前記パルス信号を保持するラッチと、書き込み動作時と読み出し動作時とで異なったタイミングで該ラッチをリセットするリセット回路を含むことを特徴とする請求項3記載の半導体記憶装置。

【請求項7】前記リセット回路は、前記ラッチの出力を遅延させる遅延回路と、書き込み動作であるか読み出し動作であるかを指定する識別信号に基づいて、該遅延回路から異なった遅延時間を有する遅延信号を取り出す回路を含み、該遅延信号によって前記ラッチをリセットすることを特徴とする請求項6記載の半導体記憶装置。

【請求項8】前記パルス生成手段は、前記パルス信号を保持する第1のラッチと、第1の所定のタイミングで該第1のラッチをリセットする第1のリセット回路と、該パルス信号を保持する第2のラッチと、第2の所定のタイミングで該第2のラッチをリセットする第2のリセット回路と、書き込み動作であるか読み出し動作であるかを指定する識別信号に基づいて、該第1のラッチ及び該第1のリセット回路或いは該第2のラッチ及び該第2のリセット回

路の何れかを動作させる手段を含むことを特徴とする請求項3記載の半導体記憶装置。

【請求項9】第1のリセット回路と第2のリセット回路の各々は、対応するラッチの出力を遅延させ遅延信号を出力する遅延回路を含み、該遅延信号によって該対応するラッチをリセットすることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】半導体記憶装置に於て、メモリセルと外部との間でコラムゲートトランジスタを介してデータ読み出し及びデータ書き込みを行う方法であって、データ読み出し時に、該コラムゲートトランジスタを第1の所定の期間導通させ、

データ書き込み時に、該コラムゲートトランジスタを第2の所定の期間導通させる各段階を含むことを特徴とする方法。

【請求項11】前記第1の所定の期間は、前記第2の所定の期間より長いことを特徴とする請求項10記載の方法。

【請求項12】前記第1の所定の期間及び前記第2の所定の期間以外の期間に、プリチャージ動作及びイコライズ動作を行うことを特徴とする請求項10記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体記憶装置に關し、詳しくはセンスアンプに対するデータの読み出し及び書き込み動作が内部生成されたパルスによって制御される半導体記憶装置に関する。

【0002】

【従来の技術】DRAM (dynamic random access memory) 或いはSDRAM (synchronousDRAM) 等の半導体記憶装置に於ては、メモリセルに対するデータ読み出し及び書き込み動作をセンスアンプを介して行う。データ読み出しの場合には、ワード選択線を選択することによって、選択したメモリセルからデータをビットラインに読み出し、ビットラインのデータをセンスアンプに書き込んで増幅する。この増幅されたデータを、コラム選択線を選択することにより選択したコラムゲートを開いて、データバスに読みだす。データ書き込みの場合には、コラム選択線を選択することにより選択したコラムゲートを開いて、データバス上のデータをセンスアンプに書き込む。センスアンプに書き込まれたデータは、ワード選択線によって選択されたメモリセルに、ビットラインを介して書き込まれる。

【0003】ビットライン及びデータバスは1ビットのデータに対して一対の信号線を有しており、この一対の信号線は、データを伝送する前に所定の電圧にチャージされ(プリチャージ)、短絡によって互いに同電位に設定される(イコライズ)。このプリチャージ及びイコライズされた一対の信号線間で、電位差としてデータが伝送されることにより、高速なデータ伝送が可能となる。

【0004】このプリチャージ動作及びイコライズ動作は同時に実行されるが、伝送するデータを信号線に与える前に完了している必要がある。読み出し／書き込み動作が連続して行われる場合、ある読み出し／書き込み動作が終了した後、次の読み出し／書き込み動作が開始されるまでの短期間の間に、ビットライン及びデータバスのプリチャージ及びイコライズを完了しなければならない。

【0005】従ってクロックの1サイクルの間で、まずデータ読み出し／書き込み動作を行い、残りの時間内にプリチャージ及びイコライズ動作を行う必要がある。ここでデータバス及びセンスアンプ間に於けるコラムゲートを介したデータ読み出し／書き込み動作を考えると、データ読み出し／書き込み動作は、コラムゲートを選択して開く（導通させる）ことに相当する。コラムゲートはトランジスタで構成され、このトランジスタのゲートにパルス入力を与えてトランジスタを導通させることでコラムゲートを開き、データ読み出し／書き込み動作を行う。従ってクロックの1サイクルを、コラムゲートトランジスタへのパルス入力の期間とイコライズの期間（プリチャージは同時に行われる）とで、適当に分割することになる。

【0006】

【発明が解決しようとする課題】データ書き込み動作を行う場合には、センスアンプのデータを上書きする必要があるため、データバスに大きな電圧振幅を与える必要がある。ところが大きな電圧振幅をデータバスに与えると、次のサイクルに備えてイコライズする際に、一対の信号線間の大きな電位差を同電位にまで戻す必要があるため、イコライズにかなりの時間を必要としてしまう。従って、書き込み動作を行うためのパルス幅をそれ程長くすることが出来ない。

【0007】一方データ読み出し動作は、微小電圧增幅回路である読み出しアンプでデータバスの小さな電圧振幅を増幅しながらデータを読みだすので、データバスは比較的小さな電圧振幅を持てば十分である。従って、データバスのイコライズにはそれ程の時間を必要としない。しかしながら微小電圧增幅回路で小さな電圧振幅を増幅しながらデータを読み出すので、データバスにデータが output されている時間が長いほうが、より電圧振幅が増幅されると共にデータ読み出しタイミングのマージンが大きくなる。従って、読み出し動作を行うためのパルス幅はなるべく長いほうが好ましい。

【0008】従来、コラムゲートへのパルス入力は、データ読み出し動作であるかデータ書き込み動作であるかに問わらず一定のパルス幅となっている。従って、書き込み動作に適切なようにパルス幅を短く設定すると、読み出し動作に於てデータ読み出しには不十分な長さとなり、逆に読み出し動作に適切なようにパルス幅を長く設定すると、書き込み動作に於てイコライズに十分な時間

が取れることになる。クロックの1サイクルの時間がある程度長ければこの相反する要求は問題とならないが、1サイクルの時間を短くして動作速度を上げようすると、この問題が顕在化してくる。従って、半導体記憶装置の動作周波数を高くすることが出来ず、高速な動作を実現することが出来ない。

【0009】従って本発明の目的は、半導体記憶装置に於て、データ読み出し動作期間の長さ及びデータ書き込み動作期間の長さに対する相反する要求を解消し、高い周波数での高速な動作を可能にすることである。

【0010】

【課題を解決するための手段】請求項1の発明に於ては、半導体記憶装置は、データ書き込み時及びデータ読み出し時に導通してデータを通過させるゲートと、該ゲートの導通期間をデータ書き込み時及びデータ読み出し時で変化させる制御手段を含むことを特徴とする。

【0011】請求項2の発明に於ては、請求項1記載の半導体記憶装置に於て、複数のメモリセルに対するデータ読み出し及びデータ書き込みを行う複数のセンスアンプを更に含み、前記ゲートはコラムゲートトランジスタであって、該ゲートを選択的に導通させることによって該複数のセンスアンプから少なくとも一つのセンスアンプを選択し、該少なくとも一つのセンスアンプと外部との間のデータ読み出し及びデータ書き込みを該ゲートを介して行うことを特徴とする。

【0012】請求項3の発明に於ては、請求項2記載の半導体記憶装置に於て、前記制御手段は、前記コラムゲートトランジスタのゲート入力に供給するパルス信号を生成し、データ書き込み時及びデータ読み出し時で該パルス信号のパルス幅を変化させるパルス生成手段を含むことを特徴とする。請求項4の発明に於ては、請求項3記載の半導体記憶装置に於て、前記パルス生成手段は、データ書き込み時の前記パルス幅を、データ読み出し時の該パルス幅よりも短くすることを特徴とする。

【0013】請求項5の発明に於ては、請求項3記載の半導体記憶装置に於て、前記ゲートを介して前記センスアンプに接続されたデータバスを更に含み、前記パルス信号が前記ゲートを導通させる期間以外の期間に前記データバスに対するプリチャージ動作及びイコライズ動作を行うことを特徴とする。請求項6の発明に於ては、請求項3記載の半導体記憶装置に於て、前記パルス生成手段は、前記パルス信号を保持するラッチと、書き込み動作時と読み出し動作時とで異なったタイミングで該ラッチをリセットするリセット回路を含むことを特徴とする。

【0014】請求項7の発明に於ては、請求項6記載の半導体記憶装置に於て、前記リセット回路は、前記ラッチの出力を遅延させる遅延回路と、書き込み動作であるか読み出し動作であるかを指定する識別信号に基づいて、該遅延回路から異なった遅延時間を有する遅延信号

を取り出す回路を含み、該遅延信号によって前記ラッチをリセットすることを特徴とする。

【0015】請求項8の発明に於ては、請求項3記載の半導体記憶装置に於て、前記パルス生成手段は、前記パルス信号を保持する第1のラッチと、第1の所定のタイミングで該第1のラッチをリセットする第1のリセット回路と、該パルス信号を保持する第2のラッチと、第2の所定のタイミングで該第2のラッチをリセットする第2のリセット回路と、書き込み動作であるか読み出し動作であるかを指定する識別信号に基づいて、該第1のラッチ及び該第1のリセット回路或いは該第2のラッチ及び該第2のリセット回路の何れかを動作させる手段を含むことを特徴とする。

【0016】請求項9の発明に於ては、請求項8記載の半導体記憶装置に於て、第1のリセット回路と第2のリセット回路の各々は、対応するラッチの出力を遅延させ遅延信号を出力する遅延回路を含み、該遅延信号によって該対応するラッチをリセットすることを特徴とする。請求項10の発明に於ては、半導体記憶装置に於てメモリセルと外部との間でコラムゲートトランジスタを介してデータ読み出し及びデータ書き込みを行う方法は、データ読み出し時に該コラムゲートトランジスタを第1の所定の期間導通させ、データ書き込み時に該コラムゲートトランジスタを第2の所定の期間導通させる各段階を含むことを特徴とする。

【0017】請求項11の発明に於ては、請求項10記載の方法に於て、前記第1の所定の期間は、前記第2の所定の期間より長いことを特徴とする。請求項12の発明に於ては、請求項10記載の方法に於て、前記第1の所定の期間及び前記第2の所定の期間以外の期間に、プリチャージ動作及びイコライズ動作を行うことを特徴とする。

【0018】上記発明に於ては、ゲートの導通期間をデータ書き込み時及びデータ読み出し時で変化させる制御手段が設けられているので、データ読み出し動作期間の長さ及びデータ書き込み動作期間の長さに対する相反する要求を解消し、高い周波数での高速な動作を可能にすることが出来る。即ち、書き込みのために必要なデータ信号の電圧波形は大きな電圧振幅を有するために、イコライズによってデータバスを同電位にするためには比較的長い時間を必要とする。上記発明に於ては、書き込み動作時には比較的短いゲート導通時間を用いることが出来るので、次サイクルに移る前に大きな電圧振幅を完全にイコライズすることが出来る。また読み出し動作の際にはデータ信号の電圧振幅が徐々に増幅するために、十分な電圧振幅まで増幅するためには比較的長い時間を必要とし、更に長い期間データ信号が保持されたほうが、十分な動作タイミングのマージンを提供できるので好ましい。上記発明に於ては、読み出し動作時には比較的長いゲート導通時間を用いることが出来るので、読み

出し動作に対して十分に長い動作時間を設定することが出来る。

【0019】仮に書き込み動作時及び読み出し動作時のパルス幅を同一にしようとすると、書き込み動作時に十分なイコライズ時間が取れないか、読み出し動作時に十分な読み出し動作時間が取れないことになる。しかし上記本発明に於ては、書き込み動作時のゲート導通時間と読み込み動作時のゲート導通時間とを変えることで、従来よりも短いサイクルでの動作を可能とし、高速な読み出し及び書き込み動作を実現できる。

【0020】

【発明の実施の形態】以下に本発明の実施例を添付の図面を参照して説明する。図1は、本発明によるDRAMの実施例を示す。図1のDRAMは、複数のワード選択線10、複数のメモリセル11、複数のセルトランジスタ12、センスアンプ13、コラムゲートトランジスタ14及び15、複数のコラム選択線16、ワードデコーダ20、コラムデコーダ21、読み出しアンプ/書き込みバッファ22、センスアンプ制御ユニット23、コラムアクセスパルス生成ユニット24、データ入出力バッファ25、コマンド制御ユニット26、アドレスバッファ27、データパッド28、コントロールパッド29、アドレスパッド30、信号線31、一対のビットラインBL及び/BL、及び一対のデータバスDB及び/DBを含む。ここで/BL或いは/DB等のシンボルの前の"/"は、反転データを示す。

【0021】図1のDRAMに於て、コラムアクセスパルス生成ユニット24は、従来技術のDRAMのものとは異なり、コマンド制御ユニット26から信号線31を介して、現在の動作が読み出し動作であるか書き込み動作であるかを示す読み出し/書き込み信号を受け取る。コラムアクセスパルス生成ユニット24は、コマンド制御ユニット26からコラムアクセス信号を受け取るとパルス信号を生成するが、読み出し/書き込み信号が示す現在の動作が読み出し動作であるか書き込み動作であるかによって、異なったパルス幅のパルス信号を生成し、コラムデコーダ21に供給する。コラムデコーダ21は、供給されたパルスを選択されたコラム選択線16に供給し、選択されたコラムゲートトランジスタ14或いは15を導通させる。

【0022】このようにして、データ読み出し或いはデータ書き込みを行うためのコラムゲートトランジスタ14或いは15は、データ読み出し時とデータ書き込み時とで異なった長さの期間オンとなりデータを転送することが出来る。従って、書き込み動作の時には、コラムアクセスパルス生成ユニット24が生成するパルスのパルス幅を比較的短くしてイコライズに十分な時間的余裕を与え、読み出し動作の時には、コラムアクセスパルス生成ユニット24が生成するパルスのパルス幅を比較的長くしてデータ読み出しに十分な時間的余裕を与えること

が出来る。従って、クロックサイクルを短縮して、高いクロック周波数による高速なデータ読み出し／書き込み動作を行うことが出来る。

【0023】図1のDRAMに於て上記以外の動作は、従来のDRAMと同様である。なおプリチャージ動作及びイコライズ動作は、コラムアクセスパルス生成ユニット24が生成するパルスがHIGHの時にコラムゲートが開かれるるとすると、このパルスがLOWである期間に行けばよい。これもまた従来のDRAMと同様の構成である。

【0024】図1のDRAMの動作について以下に説明する。なお図1のDRAMに於ては図面の簡略化のために、一対のデータバス及び一つのデータパッドのみが示されるが、複数対のデータバス及び複数のデータパッドを有する構成でよい。データ読み出しの場合、アドレスパッド30にアドレス信号が供給される。アドレス信号はアドレスバッファ27に格納されて、ワードデコーダ20とコラムデコーダ21に供給される。

【0025】ワードデコーダ20は、アドレス信号で指定されたワード線10を選択してHIGHとし、対応するセルトランジスタ12を導通させる。これによって、選択されたメモリセル11のデータが、セルトランジスタ12を介してビットラインBL及び/BLに供給される。ビットラインBL及び/BLのデータ信号は、センスアンプ制御ユニット23によって制御されるセンスアンプ13によって増幅される。

【0026】コラムデコーダ21は、アドレスバッファ27からのアドレス信号と共に、コラムアクセスパルス生成ユニット24からパルス信号を受け取る。コラムデコーダ21は、アドレス信号で選択されたコラム撰択線16に、このパルス信号を供給する。選択されたコラム撰択線16に対応するコラムゲートトランジスタ14或いは15がオンされ、センスアンプ13で増幅されたデータ信号がデータバスDB及び/DBに供給される。データバスDB及び/DB上のデータ信号は、読み出しアンプ／書き込みバッファ22に読み込まれて増幅され、データ入出力バッファ25に供給される。データ入出力バッファ25は、データ信号をデータパッド28に出力する。このようにして記憶されたデータを、アドレス信号によって指定されたアドレスから読みだすことが出来る。

【0027】上述の読み出し動作に於て、コラムゲートトランジスタ14或いは15の導通期間を決定するパルス信号のパルス幅は、コラムアクセスパルス生成ユニット24によって、読み出し動作に十分な電圧増幅時間と十分な動作マージンを与えるように長いパルス幅に設定される。従って、クロックサイクルを短縮して、高いクロック周波数による高速なデータ読み出し動作を行うことが出来る。

【0028】データ書き込みの場合、データパッド28

及びアドレスパッド30に、データ信号及びアドレス信号が供給される。データ信号はデータ入出力バッファ25を介して、読み出しアンプ／書き込みバッファ22に供給される。読み出しアンプ／書き込みバッファ22に供給されたデータ信号は、データバスDB及び/DB上に電位差信号として現われる。またアドレスパッド30に与えられたアドレス信号はアドレスバッファ27に格納されて、ワードデコーダ20とコラムデコーダ21に供給される。

【0029】コラムデコーダ21は、アドレスバッファ27からのアドレス信号と共に、コラムアクセスパルス生成ユニット24からパルス信号を受け取る。コラムデコーダ21は、アドレス信号で選択されたコラム撰択線16に、このパルス信号を供給する。選択されたコラム撰択線16に対応するコラムゲートトランジスタ14或いは15がオンされ、データバスDB及び/DB上のデータ信号がセンスアンプ13に供給され、センスアンプ13内のデータを書き換える。センスアンプ13に供給されたデータは、データ信号としてビットラインBL及び/BL上に現われる。

【0030】ワードデコーダ20は、アドレス信号で指定されたワード線10を選択してHIGHとし、対応するセルトランジスタ12を導通させる。これによって、選択されたメモリセル11に、導通されたセルトランジスタ12を介して、ビットラインBL及び/BL上のデータが電荷として記憶される。このようにして、入力したデータを、アドレス信号によって指定したアドレスに記憶することが出来る。

【0031】上述の読み出し動作に於て、コラムゲートトランジスタ14或いは15の導通期間を決定するパルス信号のパルス幅は、コラムアクセスパルス生成ユニット24によって、書き込み動作後のイコライズ動作に十分な時間的余裕を与えるような短いパルス幅に設定される。従って、クロックサイクルを短縮して、高いクロック周波数による高速なデータ読み出し動作を行うことが出来る。

【0032】図2(A)及び(B)は、図1のコラムアクセスパルス生成ユニット24が生成するパルス信号を示す。図2(A)は、書き込み動作の場合に生成されるパルス信号を示し、図2(B)は、読み出し動作の場合に生成されるパルス信号を示す。また各パルス信号に重ねて、データバスDB及び/DB上のデータ信号の電圧波形を示す。

【0033】図2(A)と図2(B)を比較すれば明らかのように、書き込み動作時のパルス信号と読み込み動作時のパルス信号は同一のサイクルであるが、読み込み動作時のパルスの方が長いパルス幅(信号がHIGHの期間)を有する。図2(A)に示されるように、書き込みのために必要なデータ信号の電圧波形は大きな電圧振幅を有するために、イコライズによってデータバスDB

及び／DBを同電位にするためには比較的長い時間を必要とする。本発明に於ては、書き込み動作時には比較的短いパルス幅を有するパルス信号を用いるので、次サイクルに移る前に大きな電圧振幅を完全にイコライズすることが出来る。

【0034】また図2 (B) に示されるように、読み出し動作の際にはデータ信号の電圧振幅が徐々に増幅されるために、十分な電圧振幅まで増幅するためには比較的長い時間を必要とする。またデータバスDB及び／DBから次段へのデータ読み出しのタイミングを考えると、長い期間データ信号が保持されたほうが、十分な動作タイミングのマージンを提供できるので好ましい。本発明に於ては、読み出し動作時には比較的長いパルス幅を有するパルス信号を用いるので、読み出し動作に対して十分に長い動作時間を設定することが出来る。

【0035】図2 (A) 及び (B) に示されるクロックサイクルで、書き込み動作時及び読み出し動作時のパルス幅を同一にしようすると、書き込み動作時に十分なイコライズ時間が取れないか、読み出し動作時に十分な読み出し動作時間が取れないことになる。つまり本発明によって図2 (A) 及び (B) に示されるように、書き込み動作時のパルス幅と読み込み動作時のパルス幅とを変えることで、従来よりも短いサイクルでの動作を可能とし、高速な読み出し及び書き込み動作を実現できることになる。

【0036】図3は、本発明によるコラムアクセスパルス生成ユニット24の第1の実施例を示す。図3のコラムアクセスパルス生成ユニット24は、NAND回路40及び41、インバータ42乃至48、NMOSトランジスタ50及び51、PMOSトランジスタ52及び53、及び複数対の抵抗R及び容量Cを含む。NAND回路40及び41はRSフリップフロップを形成し、また抵抗R及び容量Cの対は遅延素子を形成する。

【0037】図4は、図3のコラムアクセスパルス生成ユニット24の動作を説明するためのタイミングチャートを示す。以下に図3及び図4を参照して、図3のコラムアクセスパルス生成ユニット24の動作を説明する。初期状態に於て、NAND回路40及び41からなるRSフリップフロップの一方の入力ノードN1はHIGHであり、もう一方の入力ノードn01もHIGHである。またノードn02及びn03は各々、HIGH及びLOWの状態にある。従って初期状態に於て、コラムアクセスパルス生成ユニット24の出力ノードN3には、ノードn02のHIGHをインバータ42で反転したLOW信号が現われる。

【0038】この初期状態で、コラムアクセス信号として、ノードN1にLOWのパルスが入力される。従って、RSフリップフロップの入力ノードN1及びn01は各々LOW及びHIGHとなるので、RSフリップフロップの出力であるノードn02及びn03は、各々L

OW及びHIGHとなる。ノードn02の反転であるコラムアクセスパルス生成ユニット24の出力ノードN3は、LOWからHIGHに変化する。

【0039】以後の動作は書き込み動作の場合と読み出し動作の場合によって異なる。まず書き込み動作の場合について説明する。書き込み動作の場合には、ノードN2に供給される読み出し／書き込み信号はHIGHである。従って、NMOSトランジスタ50及びPMOSトランジスタ52がオンとなり導通される。またNMOSトランジスタ51及びPMOSトランジスタ53はオフである。

【0040】ノードn03のLOWからHIGHへの変化は、インバータ43乃至46及び抵抗Rと容量Cからなる遅延素子列を伝播していく。従ってノードn04の電位は、ノードn03の変化に遅延して、LOWからHIGHへ変化する。このノードn04のLOWからHIGHからへの変化は、NMOSトランジスタ50及びPMOSトランジスタ52を介して、インバータ47に供給される。これによって、インバータ47の出力であるノードn01の電位は、HIGHからLOWに変化する。

【0041】この時点では既に、ノードN1に供給されるコラムアクセス信号は、HIGHに戻っている。従って、RSフリップフロップの入力ノードN1及びn01は各々HIGH及びLOWとなるので、RSフリップフロップの出力であるノードn02及びn03は、各々HIGH及びLOWとなる。ノードn02の反転であるコラムアクセスパルス生成ユニット24の出力ノードN3は、HIGHからLOWに変化する。

【0042】このようにして書き込み動作の場合には、コラムアクセスパルス生成ユニット24は、ノードn03及びn04の間を信号が伝達する時間に等しいパルス幅を有したパルス信号を生成することになる。以下に読み出し動作の場合について説明する。読み出し動作の場合には、ノードN2に供給される読み出し／書き込み信号はLOWである。従って、NMOSトランジスタ51及びPMOSトランジスタ53がオンとなり導通される。またNMOSトランジスタ50及びPMOSトランジスタ52はオフである。

【0043】ノードn03のLOWからHIGHへの変化は、インバータ43乃至46及び抵抗Rと容量Cからなる遅延素子列を伝播していく。従ってノードn05の電位は、ノードn03の変化に遅延して、LOWからHIGHへ変化する。このノードn05のLOWからHIGHからへの変化は、NMOSトランジスタ51及びPMOSトランジスタ53を介して、インバータ47に供給される。これによって、インバータ47の出力であるノードn01の電位は、HIGHからLOWに変化する。

【0044】この時点では既に、ノードN1に供給され

るコラムアクセス信号は、HIGHに戻っている。従つて、RSフリップフロップの入力ノードN1及びn01は各々HIGH及びLOWとなるので、RSフリップフロップの出力であるノードn02及びn03は、各々HIGH及びLOWとなる。ノードn02の反転であるコラムアクセスパルス生成ユニット24の出力ノードN3は、HIGHからLOWに変化する。

【0045】このようにして読み出し動作の場合には、コラムアクセスパルス生成ユニット24は、ノードn03及びn05の間を信号が伝達する時間に等しいパルス幅を有したパルス信号を生成することになる。上述のようにコラムアクセスパルス生成ユニット24の第1の実施例に於ては、RSフリップフロップをリセットする信号をインバータ、抵抗、及び容量より構成される遅延素子列から取り出して供給する際に、その取り出し位置を変化させることによって、読み出し動作時と書き込み動作時とでパルス幅を変化させることが出来る。

【0046】図5は、本発明によるコラムアクセスパルス生成ユニットの第2の実施例を示す。図5のコラムアクセスパルス生成ユニット24Aは、書き込み用パルス生成ユニット90、読み出し用パルス生成ユニット91、NMOSトランジスタ80及び81、PMOSトランジスタ82乃至85、インバータ86、NOR回路87、インバータ88を含む。

【0047】書き込み用パルス生成ユニット90は、NAND回路60及び61、インバータ62乃至65、及び複数対の抵抗R及び容量Cを含む。NAND回路60及び61はRSフリップフロップを形成し、また抵抗R及び容量Cの対は遅延素子を形成する。読み出し用パルス生成ユニット91は、NAND回路70及び71、インバータ72乃至77、及び複数対の抵抗R及び容量Cを含む。NAND回路70及び71はRSフリップフロップを形成し、また抵抗R及び容量Cの対は遅延素子を形成する。

【0048】図5のコラムアクセスパルス生成ユニット24Aに於ては、書き込み用パルス生成ユニット90或いは読み出し用パルス生成ユニット91が、書き込み動作或いは読み出し動作に応じて選択的に動作する。NMOSトランジスタ80及び81、PMOSトランジスタ82乃至85、及びインバータ86が、ノードN2に入力される読み出し/書き込み信号に応じて、書き込み用パルス生成ユニット90或いは読み出し用パルス生成ユニット91の何れかに、ノードN1に入力されるコラムアクセス信号を供給する。

【0049】書き込み動作の場合、ノードN2に入力される読み出し/書き込み信号はHIGHである。この時NMOSトランジスタ80及びPMOSトランジスタ82がオンとなり導通され、またPMOSトランジスタ84はオフであるので、読み出し/書き込み信号が、書き込み用パルス生成ユニット90に供給される。またNM

OSトランジスタ81及びPMOSトランジスタ83はオフであり、PMOSトランジスタ85がオンであるので、読み出し用パルス生成ユニット91へは常時HIGH電位が供給される。従って書き込み用パルス生成ユニット90が動作し、読み出し用パルス生成ユニット91は非動作となる。

【0050】読み出し動作の場合、ノードN2に入力される読み出し/書き込み信号はLOWである。この時NMOSトランジスタ81及びPMOSトランジスタ83がオンとなり導通され、またPMOSトランジスタ85はオフであるので、読み出し/書き込み信号が、読み出し用パルス生成ユニット91に供給される。またNMOSトランジスタ80及びPMOSトランジスタ82はオフであり、PMOSトランジスタ84がオンであるので、書き込み用パルス生成ユニット90へは常時HIGH電位が供給される。従って書き込み用パルス生成ユニット90は非動作であり、読み出し用パルス生成ユニット91が動作する。

【0051】図6は、図5のコラムアクセスパルス生成ユニット24Aの動作を説明するためのタイミングチャートを示す。以下に図5及び図6を参照して、図5のコラムアクセスパルス生成ユニット24Aの動作を説明する。まず書き込み動作の場合について、書き込み用パルス生成ユニット90の動作を説明する。

【0052】初期状態に於て、NAND回路60及び61からなるRSフリップフロップの一方の入力ノードn01はHIGHであり、もう一方の入力ノードn05もHIGHである。またノードn02及びn03は各々、HIGH及びLOWの状態にある。従って初期状態に於て、書き込み用パルス生成ユニット90の出力は、ノードn02のHIGHをインバータ62で反転したLOW信号が現われる。

【0053】この初期状態で、コラムアクセス信号として、ノードn01にLOWのパルスが入力される。従つて、RSフリップフロップの入力ノードn01及びn05は各々LOW及びHIGHとなるので、RSフリップフロップの出力であるノードn02及びn03は、各々LOW及びHIGHとなる。ノードn02の反転である書き込み用パルス生成ユニット90の出力は、従つて、LOWからHIGHに変化する。

【0054】ノードn03のLOWからHIGHへの変化は、インバータ63及び64と抵抗R及び容量Cからなる遅延素子の列を伝播していく。従つてノードn04の電位は、ノードn03の変化に遅延して、LOWからHIGHへ変化する。このノードn04のLOWからHIGHへへの変化は、インバータ65によって反転されるので、インバータ65の出力であるノードn05の電位は、HIGHからLOWに変化する。

【0055】この時点では既に、ノードn01に供給されるコラムアクセス信号は、HIGHに戻っている。従

って、RSフリップフロップの入力ノードn01及びn05は各々HIGH及びLOWとなるので、RSフリップフロップの出力であるノードn02及びn03は、各々HIGH及びLOWとなる。ノードn02の反転である書き込み用パルス生成ユニット90の出力は、従って、HIGHからLOWに変化する。

【0056】以下に、読み出し動作の場合について、読み出し用パルス生成ユニット91の動作を説明する。初期状態に於て、NAND回路70及び71からなるRSフリップフロップの一方の入力ノードn11はHIGHであり、もう一方の入力ノードn15もHIGHである。またノードn12及びn13は各々、HIGH及びLOWの状態にある。従って初期状態に於て、読み出し用パルス生成ユニット91の出力は、ノードn12のHIGHをインバータ72で反転したLOW信号が現われる。

【0057】この初期状態で、コラムアクセス信号として、ノードn11にLOWのパルスが入力される。従って、RSフリップフロップの入力ノードn11及びn15は各々LOW及びHIGHとなるので、RSフリップフロップの出力であるノードn12及びn13は、各々LOW及びHIGHとなる。ノードn12の反転である読み出し用パルス生成ユニット91の出力は、従って、LOWからHIGHに変化する。

【0058】ノードn13のLOWからHIGHへの変化は、インバータ73乃至76と抵抗R及び容量Cからなる遅延素子の列を伝播していく。従ってノードn14の電位は、ノードn13の変化に遅延して、LOWからHIGHへ変化する。このノードn14のLOWからHIGHからへの変化は、インバータ75によって反転されるので、インバータ75の出力であるノードn15の電位は、HIGHからLOWに変化する。

【0059】この時点では既に、ノードn11に供給されるコラムアクセス信号は、HIGHに戻っている。従って、RSフリップフロップの入力ノードn11及びn15は各々HIGH及びLOWとなるので、RSフリップフロップの出力であるノードn12及びn13は、各々HIGH及びLOWとなる。ノードn12の反転である読み出し用パルス生成ユニット91の出力は、従って、HIGHからLOWに変化する。

【0060】書き込み用パルス生成ユニット90と読み出し用パルス生成ユニット91の出力は、NOR回路87及びインバータ88によって、OR論理が取られる。従って、書き込み用パルス生成ユニット90と読み出し用パルス生成ユニット91とのうちで動作しているほうのユニットからの出力が、コラムアクセスパルス生成ユニット24Aの出力としてノードN3に与えられる。

【0061】このようにして書き込み動作の場合には、コラムアクセスパルス生成ユニット24Aは、ノードn03及びn04の間を信号が伝達する時間に等しいパル

ス幅を有したパルス信号を生成することになる。また読み出し動作の場合には、コラムアクセスパルス生成ユニット24Aは、ノードn13及びn14の間を信号が伝達する時間に等しいパルス幅を有したパルス信号を生成することになる。

【0062】上述のようにコラムアクセスパルス生成ユニットの第2の実施例に於ては、異なったパルス幅のパルス信号を生成する書き込み用パルス生成ユニット及び読み出し用パルス生成ユニットを設け、何れかのユニットを選択的に動作させることによって、読み出し動作時と書き込み動作時とでパルス幅を変化させることができる。

【0063】上述のようにして図3或いは図5の回路によって生成されたパルス信号が、図1のコラムデコーダ21に供給される。図7はコラムデコーダ21の回路構成の一例を示す。図7のコラムデコーダ21は従来技術の範囲内であり、供給されるパルス信号のパルス幅が、書き込み動作時と読み出し動作時で変化する点だけが従来とは異なる。

【0064】図7のコラムデコーダ21は、NAND回路101-1乃至101-n、インバータ102-1乃至102-n、及びインバータ103乃至106を含む。インバータ103乃至106は、アドレス信号Y0乃至Y3を受け取り、それらの信号を反転する。アドレス信号Y0乃至Y3とそれらの反転信号との適当な組み合わせが、NAND回路101-1乃至101-nの各々に入力される。またNAND回路101-1乃至101-nの各々は更に、コラムアクセスパルス生成ユニット24(或いは24A)からのパルス信号を入力として受け取る。

【0065】例えばNAND回路101-2は、アドレス信号(Y3, Y2, Y1, Y0)が(0, 0, 0, 1)の場合に選択される。選択されたNAND回路101-2は更なる入力であるパルス信号を通過させ、このパルス信号が図1のコラム選択線16を介してコラムゲートトランジスタに供給される。図8(A)は、アドレス信号のタイミングとパルス信号のタイミングとを示し、図8(B)は、コラムデコーダ21から出力されるコラム選択のためのパルス信号を示す。図8(A)に示されるように、パルス信号はアドレス信号が有効である期間内に収まるように生成される。即ち、読み出し動作時であっても書き込み動作時であっても、パルス信号はアドレス信号の有効期間内に収まるようにHIGHとなるので、パルス信号は元のパルス幅を保ったままでコラム選択線16に供給される。

【0066】図9はコラムデコーダ21の回路構成の別の一例を示す。図9のコラムデコーダ21は従来技術の範囲内であり、供給されるパルス信号のパルス幅が、書き込み動作時と読み出し動作時で変化する点だけが従来とは異なる。図9のコラムデコーダ21は、NAND回

路111-1乃至111-n、インバータ112-1乃至112-n、NAND回路113-1乃至113-8、インバータ114-1乃至114-8、及びインバータ115乃至118を含む。インバータ115乃至118は、アドレス信号Y0乃至Y3を受け取り、それらの信号を反転する。アドレス信号Y0乃至Y3とそれらの反転信号との適当な組み合わせが、NAND回路113-1乃至113-8の各々に入力される。これによってアドレス信号Y0及びY1の2ビットのデコード結果が、NAND回路113-1乃至113-4のうちの一つを選択し、アドレス信号Y2及びY3の2ビットのデコード結果が、NAND回路113-5乃至113-8のうちの一つを選択する。

【0067】NAND回路113-1乃至113-4は更に、コラムアクセスパルス生成ユニット24（或いは24A）からのパルス信号を入力として受け取る。従ってパルス信号がHIGHの場合のみ、NAND回路113-1乃至113-4のうちのデコード選択された回路が、パルス信号（の反転）を出力する。NAND回路113-1乃至113-8の出力は、インバータ114-1乃至114-8によって反転される。インバータ114-1乃至114-8の出力の適当な組み合わせが、NAND回路111-1乃至111-nに供給される。従って、アドレス信号Y0乃至Y3のデコード結果に基づいて、NAND回路111-1乃至111-nのうちの一つが選択される。この選択されたNAND回路の出力は、パルス信号の反転となり、これがインバータ112-1乃至112-nの一つによって更に反転されて、パルス信号としてコラム選択線16（図1）に供給される。

【0068】図9の回路に於ても、図8（A）に示されるように、パルス信号はアドレス信号が有効である期間内に収まるように生成される。即ち、読み出し動作時であっても書き込み動作時であっても、パルス信号はアドレス信号の有効期間内に収まるようにHIGHとなるので、パルス信号は元のパルス幅を保ったままでコラム選択線16に供給される。

【0069】上述の説明は実施例に基づいて説明されたが、本発明は実施例に限定されることなく、特許請求の範囲に示される範囲内で、様々な修正・変更を加えることが出来る。

【0070】

【発明の効果】本発明に於ては、ゲートの導通期間をデータ書き込み時及びデータ読み出し時で変化させる制御手段が設けられているので、データ読み出し動作期間の長さ及びデータ書き込み動作期間の長さに対する相反する要求を解消し、高い周波数での高速な動作を可能にすることが出来る。

【0071】即ち、書き込みのために必要なデータ信号の電圧波形は大きな電圧振幅を有するために、イコライ

ズによってデータバスを同電位にするためには比較的長い時間を必要とする。本発明に於ては、書き込み動作時には比較的短いゲート導通時間を用いることが出来るので、次サイクルに移る前に大きな電圧振幅を完全にイコライズすることが出来る。

【0072】また読み出し動作の際にはデータ信号の電圧振幅が徐々に増幅されるために、十分な電圧振幅まで増幅するためには比較的長い時間を必要とし、更に長い期間データ信号が保持されたほうが、十分な動作タイミングのマージンを提供できるので好ましい。本発明に於ては、読み出し動作時には比較的長いゲート導通時間を用いることが出来るので、読み出し動作に対して十分に長い動作時間を設定することが出来る。

【0073】仮に書き込み動作時及び読み出し動作時のパルス幅を同一にしようとすると、書き込み動作時に十分なイコライズ時間が取れないか、読み出し動作時に十分な読み出し動作時間が取れないことになる。しかし上記本発明に於ては、書き込み動作時のゲート導通時間と読み込み動作時のゲート導通時間とを変えることで、従来よりも短いサイクルでの動作を可能とし、高速な読み出し及び書き込み動作を実現できる。

【図面の簡単な説明】

【図1】本発明によるDRAMの実施例を示す図である

【図2】（A）は、書き込み動作の場合に生成されるパルス信号を示す図であり、（B）は、読み出し動作の場合に生成されるパルス信号を示す図である。

【図3】図1のコラムアクセスパルス生成ユニットの第1の実施例を示す図である。

【図4】図3のコラムアクセスパルス生成ユニットの動作を説明するためのタイミングチャートである。

【図5】図1のコラムアクセスパルス生成ユニットの第2の実施例を示す図である。

【図6】図5のコラムアクセスパルス生成ユニットの動作を説明するためのタイミングチャートである。

【図7】図1のコラムデコーダの回路構成の一例を示す図である。

【図8】（A）はアドレス信号のタイミングとパルス信号のタイミングとを示すタイムチャートであり、（B）はコラムデコーダから出力されるコラム選択のためのパルス信号を示すタイムチャートである。

【図9】図1のコラムデコーダの回路構成の別の例を示す図である。

【符号の説明】

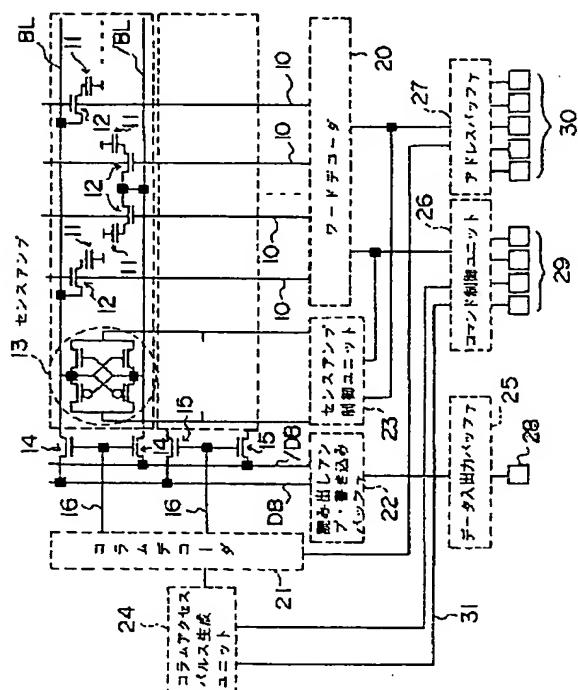
- 10 ワード選択線
- 11 メモリセル
- 12 セルトランジスタ
- 13 センスアンプ
- 14, 15 コラムゲートトランジスタ
- 16 コラム選択線
- 20 ワードデコーダ

2 1 コラムデコーダ
 2 2 読み出しアンプ/書き込みバッファ
 2 3 センスアンプ制御ユニット
 2 4 コラムアクセスパルス生成ユニット
 2 5 データ入出力バッファ
 2 6 コマンド制御ユニット

2 7 アドレスバッファ
 2 8 データバッフ
 2 9 コントロールバッフ
 3 0 アドレスバッフ
 3 1 信号線

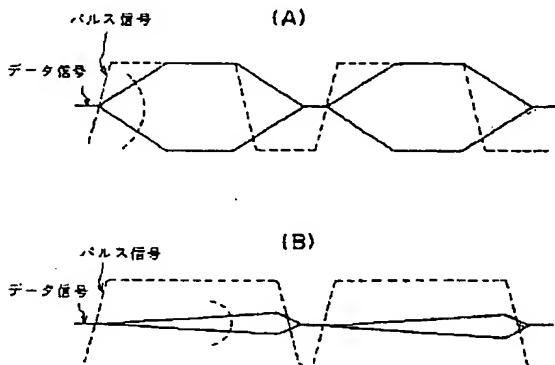
【図1】

本発明によるDRAMの実施例を示す図



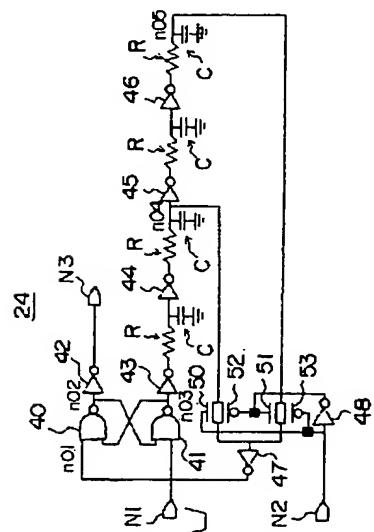
【図2】

(A)は、書き込み動作の場合に生成されるパルス信号を示す図であり、(B)は、読み出し動作の場合に生成されるパルス信号を示す図



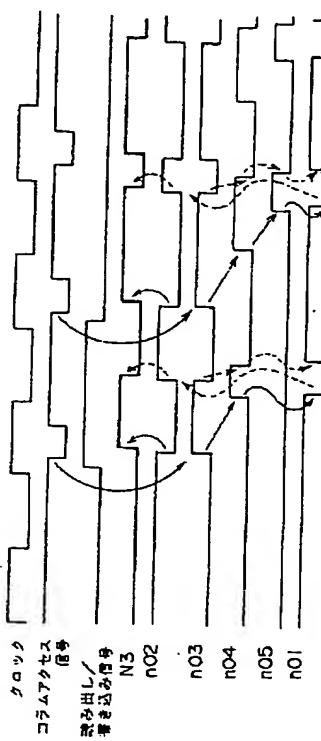
【図3】

図1のコラムアクセスパルス生成ユニットの第1の実施例を示す図



【図4】

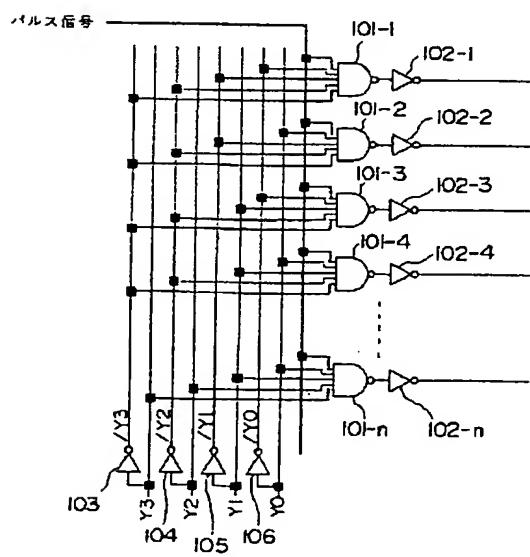
図3のコラムアクセスパルス生成ユニットの動作を説明するためのタイミングチャート



【図7】

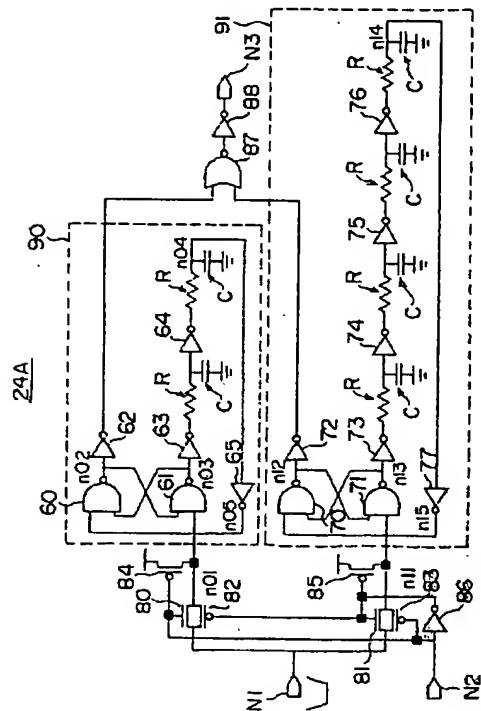
図1のコラムデコーダの回路構成の一例を示す図

21



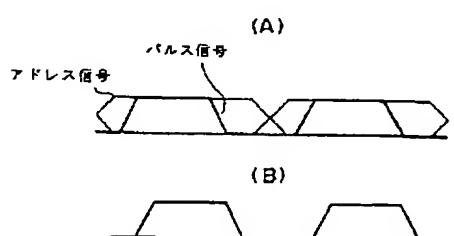
【図5】

図1のコラムアクセスパルス生成ユニットの第2の実施例を示す図



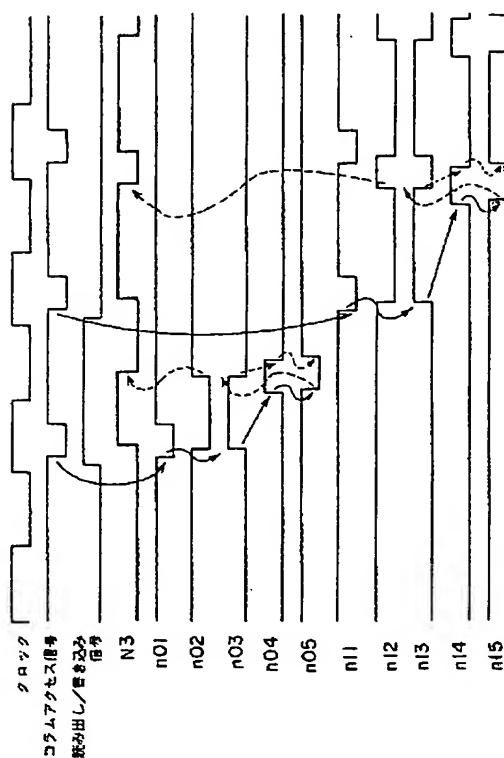
【図8】

(A)はアドレス信号のタイミングとパルス信号のタイミングとを示すタイミングチャートであり、(B)はコラムデコーダから出力されるコラム選択のためのパルス信号を示すタイミングチャート



【図6】

図5のコラムアクセスパルス生成ユニットの動作を説明するためのタイミングチャート



【図9】

図1のコラムデコードの回路構成の一例を示す図

